《现代逻辑设计》教学大纲

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 课程英文名 | Contemporary Logic Design | | | | 课程代码 | 03M0009 | |
| 学分 | 3 | 总学时 | 48 | 理论学时 | 32 | 实验/实践学时 | 16 |
| 课程类别 | 专业  教育课 | 课程性质 | 必修 | 先修课程 | 数字逻辑电路 | | |
| 适用专业 | 电子信息工程 | | | 开课学院 | 信息工程学院 | | |
| 执笔人 | 单良 | 审定人 | 专业评价小组 | 制定时间 | 2020年11 月 | | |

**一、课程地位与课程目标**

（一）课程地位

本课程是电子信息工程专业的一门重要的学科基础课程，采用双语教学。本课程以数字逻辑代数中组合逻辑电路和时序逻辑电路的分析与设计为基础，研究EDA技术在数字系统设计中的应用，其任务是使学生掌握在系统可编程逻辑器件（FPGA/CPLD）的内部结构和工作原理，熟悉在系统可编程逻辑器件开发系统和Verilog HDL语言，具备基本的利用可编程器件进行数字系统设计的能力。

（二）课程目标

1、ILO-1. 了解EDA技术及有关的概念，了解数字系统的设计技术、设计方式和实现方式，了解数字系统的设计流程，并熟悉常用的EDA开发工具，了解FPGA和CPLD器件的发展和结构特点。具备对相关行业的国际状况有基本的了解。通过介绍中兴、华为事件和贸易战，让学生认识到只有掌握芯片设计和芯片制造的核心技术，才能在全球芯片行业争得话语权。

2、ILO-2. 掌握用Altera的CPLD/FPGA集成开发工具QuartusII软件进行EDA设计开发的流程，掌握原理图设计，了解用Modelsim进行功能仿真和后仿真的方法，掌握测试模块的一般结构和写法，具备运用EDA软件完成电路的仿真，培养分析问题和解决问题的能力。

3、ILO-3. 掌握 Verilog HDL语言的基本要素，熟练掌握常用的Verilog HDL行为语句，掌握采用Verilog HDL进行基本组合电路和基本时序电路的设计方法，具备对通信领域的复杂工程问题选择恰当的技术的能力。

4、ILO-4. 掌握Verilog HDL数字设计的结构描述、行为描述和数据流描述，掌握数字系统设计中的设计方法和设计优化，重点掌握有限状态机设计，了解复杂数字模块的设计方法，具备运用硬件描述语言进行数字系统设计开发的能力。帮助学生养成科学思维和工程思维能力。

**二、课程目标达成的途径与方法**

|  |  |  |
| --- | --- | --- |
| 课程目标 | 教学环节 | 对应内容 |
| ILO-1 | 课堂讲授第1、9章及作业，小组专题报告 | 1.数字系统设计概述  9. FPGA/CPLD结构与应用 |
| ILO-2 | 讲授第2、4、10章及作业  实验一，小组专题报告 | 2.QuartusII集成开发工具  4.ModelSim仿真与实例  10. 数字电路的仿真与测试 |
| ILO-3 | 讲授第3、5章及作业  实验二，小组课堂讨论 | 3.硬件描述语言Verilog HDL  5. Verilog HDL数字逻辑电路设计 |
| ILO-4 | 讲授第6、7、8章及作业  实验三、实验四，小组课堂讨论 | 6. Verilog HDL数字设计层次与风格  7.设计优化和设计方法  8.数字系统综合设计 |

**三、课程目标与相关毕业要求的对应关系**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 课程目标 | 课程目标对毕业要求的支撑程度（H、M、L） | | | |
| 毕业要求指标点3-2 | 毕业要求指标点  4-2、4-3 | 毕业要求指标点  5-1、5-2 | 毕业要求指标点10-3 |
| ILO-1 | M(0.2) |  |  | M(0.1) |
| ILO-2 |  | M(0.2) |  |  |
| ILO-3 |  |  | H(0.25) |  |
| ILO-4 |  |  | H(0.25) |  |

**四、课程主要内容与基本要求**

1、数字系统设计概述

了解EDA技术及有关的概念，了解数字系统的设计技术、设计方式和实现方式，了解数字系统的设计流程，并熟悉常用的EDA开发工具。这部分是该课程的基础和概要，重点掌握数字系统设计流程。通过这部分的学习，能使学生对电子信息技术领域及相关行业的国际状况有基本了解。

2、QuartusII集成开发工具

掌握用Altera的CPLD/FPGA集成开发工具QuartusII软件进行EDA设计开发的流程：设计输入、编译、仿真、编程与验证；掌握原理图设计和硬件描述语言设计两种不同的设计输入方法；了解QuartusII的优化设置和时序分析。这部分内容要求学生重点掌握开发流程，为该课程课内实验提供软件操作基础。

3、硬件描述语言Verilog HDL

掌握 Verilog HDL语言的基本要素，包括数字、字符串、标志符、运算符、数据类型等；掌握Verilog HDL的模块结构；理解硬件描述语言和硬件电路的关系，并熟练掌握常用的Verilog HDL行为语句，包括过程语句、赋值语句、条件语句、循环语句、任务和函数等。通过Verilog HDL设计实例，使学生对用Verilog HDL语言进行数字电路设计有初步的了解。

4、ModelSim仿真与实例

了解用Modelsim进行功能仿真和后仿真的方法。结合具体例子，介绍Mentor Graphics的Modelsim软件进行Verilog HDL的时序仿真，包括如何进行功能仿真和后仿真，以及如何将Modelsim和QuartusII联合起来进行设计仿真。

5、Verilog HDL数字逻辑电路设计

掌握采用Verilog HDL进行基本组合电路和基本时序电路的设计方法。在第2部分和第3部分的基础上，对数字逻辑电路中的常用功能模块，如组合电路中的门电路、编译码器、数据选择器、奇偶校验位产生器等，以及时序电路中的触发器、锁存器、寄存器、计数器等进行Verilog设计。通过这部分的学习，熟悉信息和通信系统的常用设计方法，并能够对实验结果进行分析。

6、Verilog HDL数字设计层次与风格

掌握Verilog HDL数字设计的结构描述、行为描述和数据流描述，理解各方法的特点，并在设计时灵活选用最适宜的设计风格；了解Verilog设计的五个不同抽象级别：系统级、算法级、寄存器传输级、门级和开关级。该章节在第5部分的基础上，对不同描述方式进行归纳和总结，使学生理解不同描述方法的特点和适用对象。

7、设计优化和设计方法

掌握数字系统设计中的设计方法和设计优化，包括设计的可综合性、流水线设计技术、资源共享、有限状态机设计等，要求重点掌握有限状态机设计，尤其适用于数字系统控制模块的设计。该章节是第3部分和第5部分的设计进阶，要求学生在掌握基本的数字系统设计方法和流程的基础上进一步考虑运行速度、资源占用等系统性能的优化。

8、数字系统综合设计

以数字信号处理和数字通信等领域常用数字模块（如加法器、乘法器、FIR滤波器、信号产生器等）为例，使学生了解复杂逻辑的实现方法。

9、FPGA/CPLD结构与应用

了解FPGA和CPLD器件的发展和结构特点；了解一些目前主流的CPLD和FPGA产品结构和特点；了解在系统编程和边界扫描测试技术。数字系统EDA设计离不开FPGA和CPLD器件，该章节是整个课程的硬件理论基础。

10、数字电路的仿真与测试

了解Verilog HDL中常用的系统任务和系统函数的功能和用法；了解用户自定义元件UDP的定义和调用方法；掌握测试模块的一般结构和写法。该部分内容对Verilog的设计描述提供完备的仿真验证功能。

**五、课程学时安排**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 章节号 | 教学内容 | 学时数 | 学生任务 | 对应课程目标 |
| 1 | 数字系统设计概述 | 2 | 完成MOOC网讨论题 | ILO-1 |
| 2 | QuartusII集成开发工具 | 6（包含4学时实验） | 实验一 | ILO-2 |
| 3 | 硬件描述语言Verilog HDL | 8 | 完成MOOC网作业Exercise1 | ILO-3 |
| 4 | ModelSim仿真与实例 | 2 | 完成MOOC网讨论题 | ILO-2 |
| 5 | Verilog HDL数字逻辑电路设计 | 10（包含4学时实验） | 实验二 | ILO-3 |
| 6 | Verilog HDL数字设计层次与风格 | 2 | 完成MOOC网作业Exercise2 | ILO-4 |
| 7 | 设计优化和设计方法 | 8（包含4学时实验） | 实验三 | ILO-4 |
| 8 | 数字系统综合设计 | 6（包含4学时实验） | 实验四 | ILO-4 |
| 9 | FPGA/CPLD结构与应用 | 2 | 完成MOOC网作业Exercise3 | ILO-1 |
| 10 | 数字电路的仿真与测试 | 2 | 完成MOOC网讨论题 | ILO-2 |

**六、实践环节及基本要求**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 序号 | 实验项目名称 | 学时 | 基本要求 | 学生任务 | 实验  性质 | 实验  类别 |
| 1 | 基本组合逻辑电路设计 | 2 | 学会用原理图方法设计全加器、数据选择器等，并进行仿真验证。 | 完成全加器、数据选择器等的功能设计与仿真 | 验证 | 必做 |
| 2 | 基本时序逻辑电路设计 | 4 | 学会用硬件描述语言设计移位寄存器、计数器等，并进行仿真验证。 | 完成移位寄存器和计数器的功能设计与仿真 | 验证 | 必做 |
| 3 | 有限状态机设计 | 4 | 学会采用有限状态机设计序列检测器，并仿真验证。 | 完成序列检测器器的功能设计与仿真 | 设计 | 必做 |
| 4 | 交通灯控制器 | 6 | 学会交通灯控制器的设计 | 独立分析系统设计要求，查阅相关文献，提出设计方案；独立完成交通灯控制器的设计 | 综合 | 选做  （多选一） |
| 5 | 任意分频数的分频器  （占空比50%） | 6 | 学会设计占空比50%的任意奇偶数分频器。 | 独立分析系统设计要求，查阅相关文献，提出设计方案；独立完成分频器的设计 | 设计 |
| 6 | 全数字2FSK调制解调系统 | 6 | 学会2FSK调制解调系统设计 | 独立分析系统设计要求，查阅相关文献，提出设计方案；独立完成全数字2FSK调制解调系统的设计 | 综合 |
| 7 | 其它综合性题目 | 6 | 学生自己查阅相关资料，自拟题目，教师审阅 |  | 综合 |

注：1.实验性质指演示性、验证性、设计性、综合性等；2.实验类别指必做、选做等。

**七、考核方式、成绩评定**

|  |  |  |  |
| --- | --- | --- | --- |
| 考核内容 | 考核方式 | 评定标准（依据） | 占总成绩比例 |
| 平时成绩(过程考核) | 含到课率、平时作业等 | 点名记录  作业记录  作业批改成绩 | 10% |
| 专题及小组讨论成绩(过程考核) | 课堂上的小组专题发言情况，  小组讨论发言情况 | 专题发言记录  小组讨论发言记录 | 10% |
| 实验成绩(实验考核) | 操作及实验报告 | 操作成绩  报告批改成绩 | 30% |
| 期末成绩(期末考核) | 闭卷 | 卷面成绩 | 50% |
| 考核类别 | 考查 | | |
| 成绩登记方式 | 百分制 | | |

**八、课程目标达成度评价方法**

|  |  |  |  |
| --- | --- | --- | --- |
| 课程目标 | 权重 | | 成绩评定 |
| ILO-1 | 过程考核0.3 | | 平时成绩平均分A10 |
| 期末测试0.7 | | 期末考试平均分B10 |
| ILO-1达成度=0.3\*A10+0.7\*B10 | | |
| ILO-2 | 过程考核0.2 | | 平时成绩平均分A20 |
| 实验成绩0.3 | | 实验成绩平均分B20 |
| 期末测试0.5 | | 相应期末考试平均分C20 |
| ILO-2达成度=0.2\*A20+0.3\*B20+0.5\*C20 | | |
| ILO-3 | 过程考核0.2 | | 平时成绩平均分A30 |
| 实验成绩0.3 | | 实验成绩平均分B30 |
| 期末测试0.5 | | 相应期末考试平均分C30 |
| ILO-3达成度=0.2\*A30+0.3\*B30+0.5\*C30 | | |
| ILO-4 | 过程考核0.2 | 平时成绩平均分A40 | |
| 实验成绩0.3 | 实验成绩平均分B40 | |
| 期末测试0.5 | 相应期末考试平均分C40 | |
| ILO-4达成度=0.2\*A40+0.3\*B40+0.5\*C40 | | |

**九、推荐教材与主要参考书**

1、推荐教材：

（1） Gaetano Boriello, Randy H. Katz. [Contemporary Logic Design,](http://www.pearsonhighered.com/educator/academic/product/0,3110,0201308576,00.html) Publishing House of [Electronics industry](http://www.huachu.com.cn/itbook/publisher.asp?publisher=%B5%E7%D7%D3%B9%A4%D2%B5%B3%F6%B0%E6%C9%E7) , 2005.8

（2）Stephen Brown,Zvonko Vranesic. Fundamentals of Digital logic with Verilog Design. China Machine Press, 2002.1

2、参考教材：

（1）王金明.数字系统设计与Verilog HDL（第六版）.北京：电子工业出版社，2016年

（2） Michael D.Ciletti. Advanced Digital Design with the Verilog HDL. Publishing House of Electronics Industry,2005.1

（3） Zainalabedin Navabi.Verilog Digital System Design-RTL Synthesis, Testbench, and Verification, Second Edition, Publishing House of [Electronics industry](http://www.huachu.com.cn/itbook/publisher.asp?publisher=%B5%E7%D7%D3%B9%A4%D2%B5%B3%F6%B0%E6%C9%E7) ,2007.11

（4） 《Advanced Digital Design with the Verilog HDL 》[Michael D.Ciletti](http://www.china-pub.com/search/power_search/power_search.asp?key1=%A3%A8%C3%C0%A3%A9Michael+D%2ECiletti), Publishing House of [Electronics industry](http://www.huachu.com.cn/itbook/publisher.asp?publisher=%B5%E7%D7%D3%B9%A4%D2%B5%B3%F6%B0%E6%C9%E7) ,2004